

DATA CARRIER

Publication number: JP2003023366

Publication date: 2003-01-24

Inventor: HASHIMOTO SHINJI; KII NAOTO

Applicant: MATSUSHITA ELECTRIC IND CO LTD

Classification:

- international: B42D15/10; G06K19/07; H04B1/40; H04B5/02;
B42D15/10; G06K19/07; H04B1/40; H04B5/02; (IPC1-
7): H04B1/40; B42D15/10; G06K19/07; H04B5/02

- European:

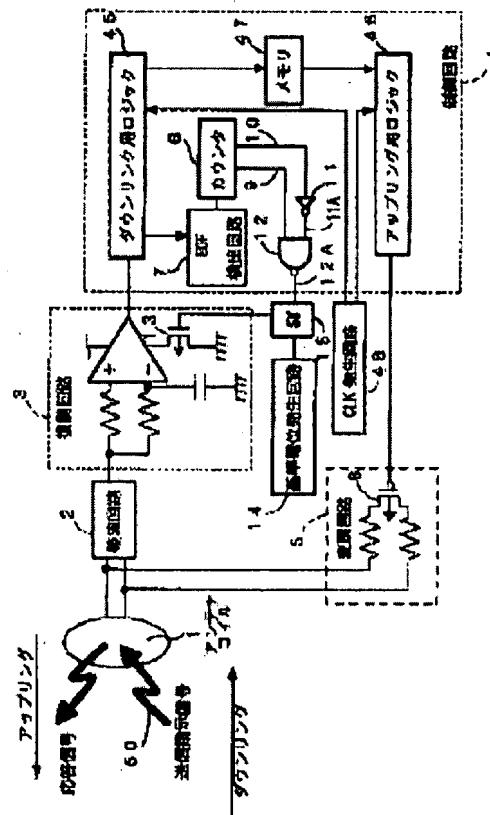
Application number: JP20010205494 20010706

Priority number(s): JP20010205494 20010706

Report a data error here

Abstract of JP2003023366

PROBLEM TO BE SOLVED: To solve a problem that it is difficult to provide long-distance communication because of the decrease of an internal voltage caused by the load switch ON of a load modulation system in the up link of a data carrier. **SOLUTION:** EOF in a transmitting instruction signal 50 from a reader/writer is detected and a useless demodulation circuit 3 during the up link period of the data carrier is stopped so that total internal resistance can be decreased, namely, a degree of decrease in the internal voltage according to a time constant in the ON state of a transistor 6 for load switch is relaxed. Thus, the data carrier can be operated by low power and long-distance communication is provided.



Data supplied from the **esp@cenet** database - Worldwide

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2003-23366

(P2003-23366A)

(43)公開日 平成15年1月24日 (2003.1.24)

(51)Int.Cl.⁷

識別記号

F I

マーク^{*}(参考)

H 04 B 1/40

H 04 B 1/40

2 C 0 0 6

B 42 D 15/10

5 2 1

B 42 D 15/10

5 2 1 5 B 0 3 6

G 06 K 19/07

H 04 B 5/02

5 K 0 1 1

H 04 B 5/02

G 06 K 19/00

H 5 K 0 1 2

審査請求 未請求 請求項の数4 ○L (全 10 頁)

(21)出願番号

特願2001-205494(P2001-205494)

(71)出願人 000005821

松下電器産業株式会社

(22)出願日

平成13年7月6日 (2001.7.6)

大阪府門真市大字門真1006番地

(72)発明者 橋本 真司

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72)発明者 紀伊 直人

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(74)代理人 100068087

弁理士 森本 義弘

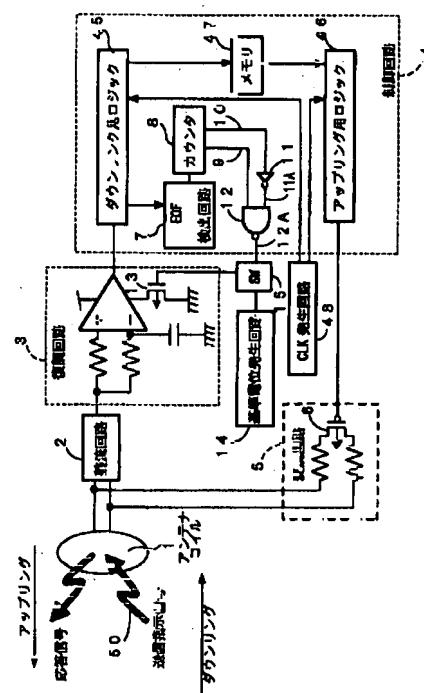
最終頁に続く

(54)【発明の名称】 データキャリア

(57)【要約】

【課題】 データキャリアのアップリンク時では、負荷変調方式のロードスイッチONによる内部電圧の減少により、長距離通信の実現が困難となる。

【解決手段】 リーダライタからの送信指示信号50内のE OFを検出し、データキャリアのアップリンク期間における不要な復調回路3を停止することで、トータルの内部抵抗を減少、すなわちロードスイッチ用トランジスタ6がON状態で内部電圧が時定数に従って減少する度合を緩和する構成を有しており、データキャリアの低電力動作が可能となり長距離通信を実現する。



【特許請求の範囲】

【請求項1】アンテナに誘起した電圧を整流して必要な電力を賄うとともに、前記アンテナから受信した信号を復調回路で復調して指示内容を認識してメモリにアクセスし、前記メモリから読み出した内容を負荷変調方式の変調回路を介して前記アンテナから送信するデータキャリアにおいて、前記送信を実行するアップリンク期間に前記復調回路を停止する制御手段を設けたデータキャリア。

【請求項2】前記制御手段は、データキャリアへの送信指示のダウンリンク期間に送信される送信指示信号内の終了部（E OF）を検知する検出回路と、前記検出回路の出力をトリガーとして前記復調回路をアップリンク期間に停止する指示回路とを備える請求項1に記載のデータキャリア。

【請求項3】アンテナに誘起した電圧を整流して必要な電力を賄うとともに、前記アンテナから受信した信号を復調回路で復調して、前記復調回路からの信号をダウンリンク用ロジックにて処理を行い、前記ダウンリンク用ロジックからの指示内容を認識してメモリにアクセスし、前記メモリから読み出した内容を負荷変調方式の変調回路を介して前記アンテナから送信するデータキャリアにおいて、

前記送信を実行するアップリンク期間に前記ダウンリンク用ロジックを停止する制御手段とを備えたデータキャリア。

【請求項4】前記制御手段は、リーダライタからデータキャリアへの送信指示のダウンリンク期間に送信される送信指示信号内の終了部（E OF）を検知する検出回路と、前記検出回路の出力をトリガーとして前記ダウンリンク用ロジックを停止する指示回路とを備える請求項3に記載のデータキャリア。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明はデータキャリアに対し、特に、データキャリアからリーダライタへのアップリンク時での電力消費を少なくし、長距離通信化を図るための改善に関するものである。

【0002】

【従来の技術】従来より、データキャリアからリーダライタに応答する際、すなわちアップリンク時には、ロードスイッチを使用する負荷変調方式の変調回路を用いている。

【0003】図8は従来のデータキャリアを示す。1は外部のリーダライタ（図示せず）と電波で送受信を行うアンテナコイル、2はアンテナコイル1の誘起電圧を整流する整流回路、3は復調を行う復調回路、14は基準電位発生回路、4は復調回路3からの入力信号を処理し

アップリンク時の制御を行う信号出力機能を有する制御回路、6は制御回路4からの制御信号にて動作するロードスイッチ用トランジスタ、5は前記トランジスタ6と負荷で構成された変調回路である。

【0004】また、制御回路4内のダウンリンク用ロジック45は、復調された信号の処理を行うロジック回路、メモリ47はデータを格納する領域、アップリンク用ロジック46は変調回路5への制御信号の処理を行う回路で、それぞれのロジックはCLK発生回路48の入力によって動作を行う。

【0005】この従来のデータキャリアの送受信動作について、ダウンリンクとアップリンク時に分けて説明する。まず、ダウンリンク時は、リーダライタからの送信指示信号S1を電磁誘導によってアンテナコイル1で受信し、これを整流回路2にて整流する。整流回路2で整流した信号データは、復調回路3で被変調波から元の信号波を復元、すなわち復調を行う。復調回路3の復調回路動作制御トランジスタ13のゲート部には常に基準電位発生回路14からの電位が供給されて復調回路3は動作状態にある。

【0006】その後、CLK発生回路48に従い動作を行うダウンリンク用ロジック45にて処理を実施、送信指示信号の指示内容に従ってメモリ47への読み書き動作を行う。

【0007】リーダライタからデータキャリアへ送信するアップリンク時は、CLK発生回路48に従い動作を行うアップリンク用ロジック46にてリーダライタに応答する応答信号を決定、出力し、変調回路5内のロードスイッチ用トランジスタ6をONおよびOFFと切り替え制御することによって信号波を被変調波に変換、すなわち変調を行い、前記アンテナコイル1によってリーダライタに応答信号を送信する。

【0008】このような送受信時の動作を行う従来データキャリアの内部電圧とロードスイッチの特性について図4、図5、図8を参照しながらその関係を説明する。まず、図4はデータキャリアとリーダライタとの通信距離と、その距離で供給可能な電圧との関係を表し、一般的に通信距離が短いほど供給可能電圧は増大し、通信距離が長いほど供給可能電圧は減少する。

【0009】図5はデータキャリアの内部電圧とロードスイッチとの関係を表し、図8においてアップリンク時のロードスイッチ用トランジスタ6がOFF状態では、整流回路2以降の内部電圧は整流回路2で整流された電圧レベルとなり、A1のような特性を示す。次にアップリンク時の前記ロードスイッチ用トランジスタ6がON状態では、変調回路の負荷が導通し整流回路2の入力電圧レベルが減少するため整流回路2はOFF状態となり、整流回路2以降の内部へのリーダライタからの電圧供給は途絶える。

【0010】従って、整流回路2以降の内部電圧は復調

回路の内部抵抗と復調回路以外の制御回路4の内部抵抗との和と平滑容量との時定数に従い消費されるため、A2のように急激に内部電圧が減少するような特性を示す。

【0011】この時定数に伴う内部電圧の減少は、リーダライタとの距離が短い、すなわち十分に電圧を供給できる近距離通信時であれば、Bのように動作下限内部電圧までマージンがあり動作に影響はないが、リーダライタとの距離が長い、すなわち長距離通信時ではA2のように動作下限に影響を及ぼすようになる。

【0012】

【発明が解決しようとする課題】このように従来のデータキャリアでは、アップリンク時には負荷変調方式のロードスイッチONによる内部電圧の減少により、長距離通信の実現が困難となる課題がある。

【0013】本発明は、負荷変調方式を用いたデータキャリアにおいてアップリンク時に長距離通信が可能な優れたデータキャリアを実現することを目的とする。

【0014】

【課題を解決するための手段】この目的を達成するために本発明のデータキャリアは、アップリンク時に不要なダウンリンク用の回路を停止することで、トータルの内部抵抗を減少、すなわち内部電圧が時定数に従って減少する度合を緩和する構成を有している。

【0015】この構成によって、ロードスイッチがON状態でも内部電圧の減少を緩和することができるため、データキャリアの通信距離を犠牲にすることなく長距離通信を実現することができる。

【0016】本発明の請求項1記載のデータキャリアは、アンテナに誘起した電圧を整流して必要な電力を賄うとともに、前記アンテナから受信した信号を復調回路で復調して指示内容を認識してメモリにアクセスし、前記メモリから読み出した内容を負荷変調方式の変調回路を介して前記アンテナから送信するデータキャリアにおいて、前記送信を実行するアップリンク期間に前記復調回路を停止する制御手段を設けたことを特徴とする。

【0017】本発明の請求項2記載のデータキャリアは、請求項1において、前記制御手段は、データキャリアへの送信指示のダウンリンク期間に送信される送信指示信号内の終了部（EOF）を検知する検出回路と、前記検出回路の出力をトリガーとして前記復調回路をアップリンク期間に停止する指示回路とを備えることを特徴とする。

【0018】本発明の請求項3記載のデータキャリアは、アンテナに誘起した電圧を整流して必要な電力を賄うとともに、前記アンテナから受信した信号を復調回路で復調して、前記復調回路からの信号をダウンリンク用ロジックにて処理を行い、前記ダウンリンク用ロジックからの指示内容を認識してメモリにアクセスし、前記メモリから読み出した内容を負荷変調方式の変調回路を介

して前記アンテナから送信するデータキャリアにおいて、前記送信を実行するアップリンク期間に前記ダウンリンク用ロジックを停止する制御手段とを備えたことを特徴とする。

【0019】本発明の請求項4記載のデータキャリアは、請求項3において、前記制御手段は、リーダライタからデータキャリアへの送信指示のダウンリンク期間に送信される送信指示信号内の終了部（EOF）を検知する検出回路と、前記検出回路の出力をトリガーとして前記ダウンリンク用ロジックを停止する指示回路とを備えることを特徴とする。

【0020】

【発明の実施の形態】以下、本発明の各実施の形態を図1～図7に基づいて説明する。なお、従来例を示す図8と同様の作用をなすものには同一の符号を付けて説明する。

【0021】（実施の形態1）図1～図5は本発明の（実施の形態1）を示す。図1は（実施の形態1）のデータキャリアを示し、従来例の図8と比べると、データキャリアからリーダライタへ応答するアップリンク期間に前記復調回路3を停止する制御手段を構成するEOF検出回路7と、カウンタ8と、NAND回路12およびスイッチ15などが追加されている。

【0022】まず、リーダライタからデータキャリアに送信される送信指示信号について説明する。図3はリーダライタからデータキャリアに送信される送信指示信号のパケットのフォーマット例を示す。

【0023】送信指示信号50は、送信指示信号の開始を意味する送信指示信号先頭部51（以下、SOF51と称す）と、送信指示信号の終了を意味する送信指示信号終了部53（以下、EOF53と称す）と、前記SOF51と前記EOF53の間に挟まれた指示内容52から構成される。

【0024】図1において、制御回路4に設けられたEOF検出回路7は、リーダライタからデータキャリアに送信される送信指示信号内の終了部、すなわちEOFを検出する。

【0025】カウンタ8は、EOF検出回路7からの出力をトリガーとして復調回路停止スタート信号9と復調回路停止エンド信号10を出力する。詳しくは、内部カウンタ0回目を復調回路停止スタート信号9として出力し、アップリンクの応答信号期間を包含し各通信規約によって任意に設定可能な内部カウンタn回目を復調回路停止エンド信号10として出力する。

【0026】NAND回路12は、復調回路停止スタート信号9とインバータ11によって復調回路停止エンド信号10を反転論理した信号を入力とし、復調回路動作停止信号12Aを出力する。

【0027】スイッチ15は、基準電位発生回路14から復調回路動作制御トランジスタ13のゲートへの経路

中に設けられており、復調回路動作停止信号12Aによって制御されてアップリンク時に不要な復調回路3を停止させるように構成されている。

【0028】アップリンク時に不要な復調回路3を停止させる制御機能を図2を参照しながら説明する。ここでE OF検出回路7は、E OF検出時には“H”出力、非検出時には“L”出力となる論理構成である。

【0029】カウンタ8は通常“L”出力でE OF検出回路7からの“H”出力をトリガーとし、内部カウンタ0回目を復調回路停止スタート信号9として“H”出力、またアップリンクの応答信号期間を包含し、各通信規約によって任意に設定可能な内部カウンタn回目を復調回路停止エンド信号10として“H”出力となり、前記復調回路停止スタート信号9の“H”出力は保持され、前記復調回路停止エンド信号10が“H”出力になったときに“L”にリセットされる論理構成である。

【0030】復調回路動作制御トランジスタ13としては、復調回路停止スタート信号9と復調回路停止エンド信号10の反転論理信号11Aを入力としたNAND回路12からの復調回路動作停止信号12Aが“H”論理にて前記スイッチ15により基準電位発生回路14からの電位が供給されてドレン－ソース間がON状態となり、また出力信号12Aが“L”論理にてスイッチ15により復調回路動作停止信号12Aの“L”電位を供給しOFF状態となる構成のものを用いる。

【0031】このように構成したため、ダウンリンク時はリーダライタからの送信指示信号を電磁誘導によってアンテナコイル1で受信するが、ここでCLK発生回路48によって常に動作しているアップリンク用ロジック46からロードスイッチ用トランジスタ6への制御信号が“H”出力のため、ロードスイッチ用トランジスタ6がOFF状態であり、整流回路2はONして信号データの整流を行う。

【0032】次に復調回路3は、制御回路4からの復調回路動作停止信号12が“H”であることでスイッチ15が基準電位発生回路14からの電位を復調回路動作制御トランジスタ13に供給、すなわち動作状態であることより復調を行い、ダウンリンク用ロジック45にて処理を実施、送信指示信号の指示内容に従ってメモリ47への読み書き動作を行う。その後、E OF検出回路7が送信指示信号内のE OFを検出し“H”を出力、カウンタ8はこの信号を受け内部カウンタ0回目で復調回路停止スタート信号9“H”論理を出力、保持し、復調回路停止エンド信号10“L”出力の反転信号11A“H”とのNANDにより復調回路動作停止信号12Aは“L”となり、スイッチ15を介してそのままこの“L”レベルを復調回路動作制御トランジスタ13に入力し復調回路動作制御トランジスタ13はOFF、すなわち復調回路3は停止状態となる。またCLK発生回路48によって常に動作しているアップリンク用ロジック

46は送信指示信号の指示内容に従いリーダライタに応答する応答信号を決定、ロードスイッチ用トランジスタ6をONおよびOFFと切り替え制御する信号を出力し、変調回路5によって変調を行い、前記アンテナコイル1によってリーダライタに応答信号を送信する。この送信指示信号内のE OFから待ち時間および応答信号までの期間、復調回路動作制御トランジスタ13はOFF、すなわち復調回路3の動作は停止した状態である。その後、制御回路4内は送信指示信号－応答信号間の待ち時間と、応答信号期間とを包含した内部カウンタn回目（各通信規約によって任意に設定可能）で復調回路停止エンド信号10“H”を出力し、反転信号11A

“L”と復調回路停止スタート信号9の“H”論理とのNANDにより復調回路動作停止信号12Aは“H”となり、スイッチ15を介して基準電位発生回路14の電位を復調回路動作制御トランジスタ13に供給し、復調回路動作制御トランジスタ13はON、すなわち復調回路3は通常の動作状態となる。またカウンタ8内は復調回路停止エンド信号10“H”を受け、復調回路停止スタート信号9の“H”出力はリセットされ“L”論理となる。

【0033】このような送受信時の動作を行う本発明の一実施例についてデータキャリアの内部電圧とロードスイッチの特性についてその関係を説明する。まず、ダウンリンク時は、アップリンク用ロジック46からロードスイッチ用トランジスタ6への制御信号が“H”出力のため、ロードスイッチ用トランジスタ6がOFF状態であり、整流回路2はON状態である。またE OF検出回路7は非E OF検出時のため“L”論理を出力、カウンタ8を介して復調回路停止スタート信号9は“L”、復調回路停止エンド信号10は“L”、反転信号11Aは“H”的ため、復調回路動作停止信号12Aは“H”、すなわち復調回路動作制御トランジスタ13はON状態のため、復調回路3は通常動作状態となる。

【0034】従って、整流回路2以降のトータル内部抵抗は制御回路4の内部抵抗と復調回路3の内部抵抗との和となり、整流回路2以降の内部電圧は常に一定である。次にアップリンク時における内部電圧とロードスイッチとの関係、および動作について説明する。

【0035】図5は本発明と従来とのデータキャリアの内部電圧とロードスイッチとの関係を表した図である。まず、図2においてアップリンク時前の待ち時間から、E OF検出回路7が送信指示信号内のE OFを検出し上記動作に従って復調回路3は停止状態となるため、整流回路2以降のトータルの内部抵抗は復調回路3を除外した制御回路4の内部抵抗のみとなる。この内部抵抗の状態でロードスイッチ用トランジスタ6がOFF時は、整流回路2はON状態であり、整流回路2以降の内部への電圧供給は一定で、内部電圧はC1のような特性を示す。

【0036】次にロードスイッチ用トランジスタ6がON時は、変調回路5内の抵抗が導通し、整流回路2の入力電圧レベルが減少するため整流回路2はOFF状態となり、整流回路2以降の内部への電圧供給は途絶え、内部電圧は制御回路4の内部抵抗と平滑容量との時定数に従い消費され、C2のような特性を示す。この時のトータル内部抵抗は従来品より復調回路3の内部抵抗分を除外したものであるため、内部電圧の減少は従来のA2の特性に比べて緩やかとなり、より低い内部電圧でも動作が可能となる。低い内部電圧で動作可能、すなわち低い供給電圧でも動作可能となるため、図4のように従来品よりリーダライタとの長距離通信が可能となる。

【0037】なお、EOF検出回路7の出力をトリガーとして復調回路3をアップリンク期間に停止する指示回路を、カウンタ8と、NAND回路12およびスイッチ15などで構成したが、これに限定するものではない。

【0038】(実施の形態2) 図6と図7は本発明の(実施の形態2)を示す。(実施の形態1)では復調回路をアップリンク期間に停止するように構成したが、この(実施の形態2)ではダウンリンク用ロジック45をアップリンク期間に停止するように構成した点で異なっており、アップリンク期間にダウンリンク用ロジック45を停止する制御手段として、EOF検出回路37、カウンタ38、AND回路42、NAND回路43、44などが設けられている。

【0039】図6において、31はリーダライタと電波で送受信を行うアンテナコイル、32は整流を行う整流回路、33は復調を行う復調回路、34は復調回路33からの送信指示信号を処理し、変調回路35を制御する応答信号の出力機能を有する制御回路、36は制御回路34からの制御信号にて動作するロードスイッチ用トランジスタで、変調回路35はトランジスタ36と負荷で構成される。

【0040】さらに制御回路34には、復調回路33からの信号を処理するダウンリンク用ロジック45と、指示内容によってデータの読み書きを行うメモリ47と、変調回路35への信号を制御するアップリンク用ロジック46と、リーダライタからデータキャリアに送信される送信指示信号内の終了部、すなわちEOFを検出するEOF検出回路37と、EOF検出回路37からの出力をトリガーとしてダウンリンクの内部処理期間を包含して任意に設定した内部カウンタn1回目を出力信号39として出力、またアップリンクの応答信号期間を包含し、各通信規約によって任意に設定可能な内部カウンタn2回目を出力信号40として出力する機能を有するカウンタ38と、出力信号39と出力信号40をインバータ41で反転した反転論理を入力とし出力信号42Aを出力するAND回路42を備えている。

【0041】またダウンリンク用ロジック45は、CLK発生回路48の出力とAND回路42の出力信号(ダ

ウンリンク用ロジック停止信号)42Aとを入力にして動作するNAND回路43の出力信号(ダウンリンク用ロジック停止信号)43Aを制御信号としている。

【0042】アップリンク用ロジック46は、CLK発生回路48の出力とAND回路42の出力信号42Aの反転信号が入力に接続されたNAND回路44の出力信号44Aを制御信号として動作する。

【0043】すなわちアップリンク時とダウンリンク時にそれぞれ不要なロジックを切り替え、停止させる構成を有している。この構成によって、アップリンク時、およびダウンリンク時に不要なロジック回路を停止させることができるので制御機能を図7を参照しながら説明する。

【0044】ここでEOF検出回路37は、EOF検出時には“H”出力、非検出時には“L”出力となる論理構成のもの、カウンタ38は通常“L”出力でEOF検出回路37からの“H”出力をトリガーとし、ダウンリンクの内部処理期間を包含して任意に設定した内部カウンタn1回目を出力信号39として“H”出力、またアップリンクの応答信号期間を包含し、各通信規約によって任意に設定可能な内部カウンタn2回目を出力信号40として“H”出力となり、出力信号39の“H”出力が保持され、出力信号40が“H”出力になったときに“L”にリセットされる論理構成のもの、ダウンリンク用ロジック停止信号43AはCLK発生回路48の出力とAND回路42の出力信号42Aで、ダウンリンク用ロジック停止信号44AはCLK発生回路48の出力と出力信号42Aの反転信号とのNAND出力で、ダウンリンク用ロジック45およびアップリンク用ロジック46とともに、ダウンリンク用ロジック停止信号43Aおよびアップリンク用ロジック停止信号44Aがそれぞれ

“H”的時に動作、“L”的時に停止する構成のものを用いる。

【0045】まず、リーダライタからの送信指示信号を電磁誘導によってアンテナコイル31で受信するが、ここで制御回路34からロードスイッチ用トランジスタ36への制御信号が“H”出力のため、ロードスイッチ用トランジスタ36がOFF状態であり、整流回路32はONして信号データの整流を行う。

【0046】次に復調回路33は復調を行い制御回路34にて処理を行う。制御回路34内ではダウンリンク用ロジック45で送信指示内容に従って処理を行い、その後メモリ47で読み書き動作が行われる。またダウンリンク用ロジック45を介してEOF検出回路37が送信指示信号内のEOFを検出し“H”を出力、カウンタ38はこの信号を受けダウンリンクの内部処理期間を包含して任意に設定した内部カウンタn1回目で出力信号39“H”論理を出力、保持し、出力信号40“L”出力の反転信号41A“H”とのANDにより出力信号42Aは“H”となり、ダウンリンク用ロジック停止信号43AはCLK発生回路48とAND回路42の出力信

号42Aにより“L”出力のため、すなわちダウンリンク用ロジック45は停止状態となる。

【0047】またアップリンク用ロジック停止信号44Aは、CLK発生回路48の信号とAND回路42の出力信号42Aの反転信号とのNANDにより“H”出力のため、すなわちアップリンク用ロジック46は動作状態となる。

【0048】次に制御回路34は、送信指示信号の指示内容に従いリーダライタに応答する応答信号を決定、アップリンク用ロジック46によってロードスイッチ用トランジスタ36をONおよびOFFと切り替え制御する信号を出し、変調回路35によって変調を行い、アンテナコイル31によってリーダライタに応答信号を送信する。送信指示信号内のEOF後のダウンリンク内部処理期間を包含して任意に設定した待ち時間から応答信号までの期間、ダウンリンク用ロジック停止信号43Aは“L”出力、すなわちダウンリンク用ロジック45は停止で、アップリンク用ロジック停止信号44Aは“H”出力、すなわちアップリンク用ロジック46は動作状態である。

【0049】その後、制御回路34内は送信指示信号内のEOF後のダウンリンク内部処理期間を包含して任意に設定した待ち時間から、応答信号期間とを包含した内部カウンタn2回目(各通信規約によって任意に設定可能)で出力信号40“H”を出し、反転信号41A

“L”と前記出力信号39の“H”論理とのANDにより出力信号42Aは“L”となり、ダウンリンク用ロジック停止信号43Aは“H”出力、すなわちダウンリンク用ロジック45は動作状態となり、一方アップリンク用ロジック停止信号44Aは“L”出力、すなわちアップリンク用ロジック46は停止状態となる。またカウンタ38内は出力信号40の“H”出力を受け、出力信号39の“H”出力はリセットされ“L”論理となる。

【0050】データキャリアの内部電圧とロードスイッチの特性についてその関係を説明する。まずダウンリンク時は、制御回路34からロードスイッチ用トランジスタ36への制御信号が“H”出力のため、ロードスイッチ用トランジスタ36がOFF状態であり、整流回路32はON状態である。またEOF検出回路37は非EOF検出時のため“L”論理を出力、カウンタ38を介して出力信号39は“L”、出力信号40は“L”、反転信号41Aは“H”的ため、出力信号42Aは“L”、すなわちダウンリンク用ロジック停止信号43Aは

“H”状態のため、ダウンリンク用ロジック45は通常動作状態、またアップリンク用ロジック停止信号44Aは“L”状態のため、アップリンク用ロジック46は停止状態となる。従って整流回路32以降のトータル内部抵抗は復調回路33と、制御回路34内のアップリンク用ロジック45を除いた内部抵抗との和となり、整流回路32以降の内部電圧は常に一定である。

【0051】次にアップリンク時における内部電圧とロードスイッチとの関係、および動作を説明する。図5は本発明と従来とのデータキャリアの内部電圧とロードスイッチとの関係を表した図である。まず図7において送信指示信号内のEOF後のダウンリンク内部処理期間を包含して任意に設定した出力信号39の“H”期間から、待ち時間を経て応答信号期間とを包含した出力信号40の“H”期間まで、ダウンリンク用ロジック45は停止状態となるため、整流回路32以降のトータルの内部抵抗は、復調回路33の内部抵抗とダウンリンク用ロジック45を除外した制御回路34の内部抵抗との和となる。この内部抵抗の状態でロードスイッチ用トランジスタ36がOFF時は、整流回路32はON状態であり、整流回路32以降の内部への電圧供給は一定で、内部電圧はC1のような特性を示す。

【0052】次にロードスイッチ用トランジスタ36がON時は、変調回路35内の抵抗が導通し、整流回路32の入力電圧レベルが減少するため整流回路32はOFF状態となり、整流回路32以降の内部への電圧供給は途絶え、内部電圧は復調回路33の内部抵抗とダウンリンク用ロジックを除いた制御回路34の内部抵抗と平滑容量との時定数に従い消費され、C2のような特性を示す。この時のトータル内部抵抗は従来品よりダウンリンク用ロジック45の内部抵抗分を除外したものであるため、内部電圧の減少は従来のA2の特性に比べて緩やかとなり、より低い内部電圧でも動作が可能となる。低い内部電圧で動作可能、すなわち低い供給電圧でも動作可能となるため、図4のように従来品よりリーダライタとの長距離通信が可能となる。

【0053】なお、EOF検出回路37の出力をトリガーとしてダウンリンク用ロジック45を停止する指示回路を、カウンタ38と、インバータ41、AND回路42、NAND回路43、44などで構成したが、これに限定するものではない。

【0054】

【発明の効果】以上のように本発明は、負荷変調方式を用いたデータキャリアにおいてアップリンクを行う際、不要なダウンリンク用回路の動作を停止し、時定数に伴う内部電圧の低下を緩和することで、長距離通信が可能な優れたデータキャリアを実現できる。

【図面の簡単な説明】

【図1】本発明の(実施の形態1)のデータキャリアの構成図

【図2】同実施の形態におけるリーダライタとデータキャリア間の通信信号とデータキャリア内部のタイミングチャート図

【図3】同実施の形態における送信指示信号のフォーマット図

【図4】同実施の形態における通信距離と供給電圧との関係を示した図

【図5】同実施の形態における内部電圧とロードスイッチとの関係を示した図

【図6】本発明の(実施の形態2)におけるデータキャリアの構成図例

【図7】同実施の形態におけるリーダライタデータキャリア間通信とデータキャリア内部のタイミングチャート図

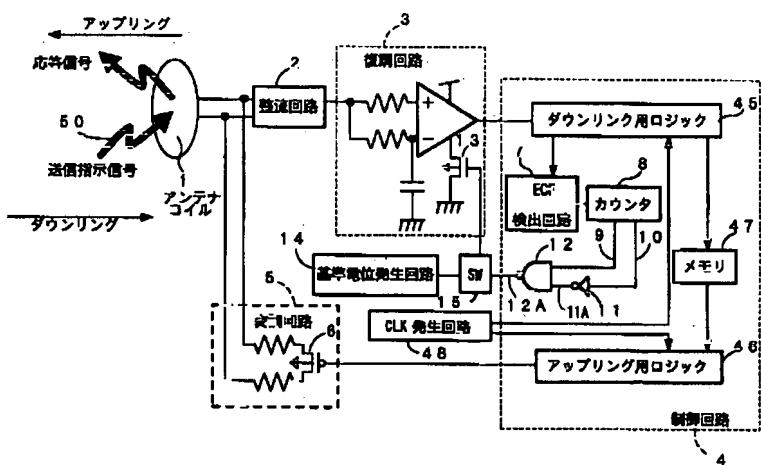
【図8】従来のデータキャリアの構成図

【符号の説明】

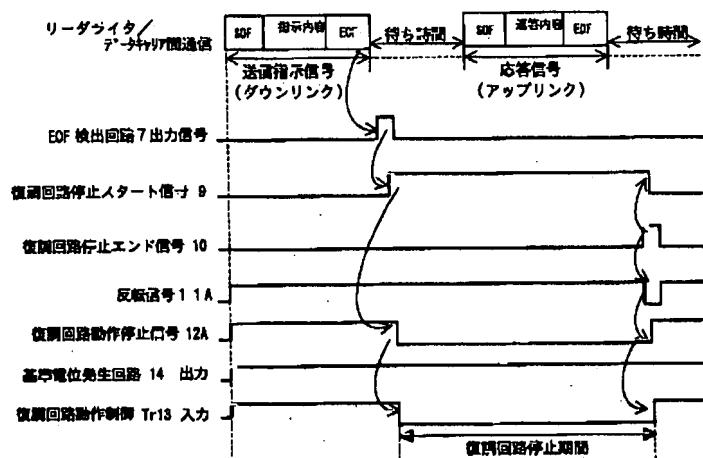
- 1 アンテナコイル
- 2 整流回路
- 3 復調回路
- 4 制御回路
- 5 変調回路
- 6 ロードスイッチ用トランジスタ
- 7 E OF 検出回路
- 8 カウンタ
- 9 復調回路停止スタート信号
- 10 復調回路停止エンド信号
- 11 A 反転信号
- 12 A 復調回路動作停止信号
- 13 復調回路動作制御トランジスタ
- 14 基準電圧発生回路
- 15 スイッチ
- 31 アンテナコイル
- 32 整流回路
- 33 復調回路
- 34 制御回路
- 35 変調回路

- 36 ロードスイッチ用トランジスタ
- 37 E OF 検出回路
- 38 カウンタ
- 39 出力信号
- 40 出力信号
- 41 インバータ
- 42 AND回路
- 43, 44 NAND回路
- 43 A ダウンリンク用ロジック停止信号
- 44 A アップリンク用ロジック停止信号
- 45 ダウンリンク用ロジック
- 46 アップリンク用ロジック
- 47 メモリ
- 48 C L K 発生回路
- 50 送信指示信号
- 51 送信指示信号先頭部(SOF)
- 52 指示内容
- 53 送信指示信号終了部(EOF)
- A1 ロードスイッチOFF期間での従来長距離の内部電圧特性
- A2 ロードスイッチON期間での従来長距離の内部電圧特性
- B ロードスイッチOFF、ON期間での従来近距離の内部電圧特性
- C1 ロードスイッチOFF期間での本発明長距離の内部電圧特性
- C2 ロードスイッチON期間での本発明長距離の内部電圧特性

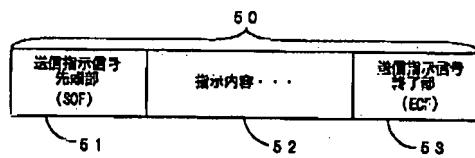
【図1】



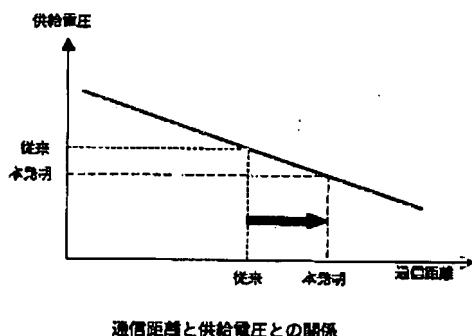
【図2】



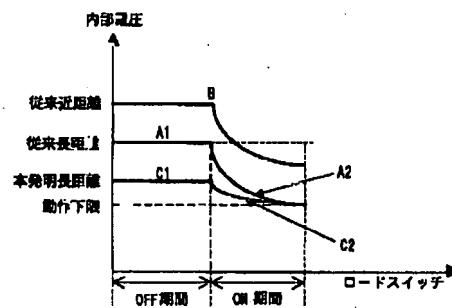
【図3】



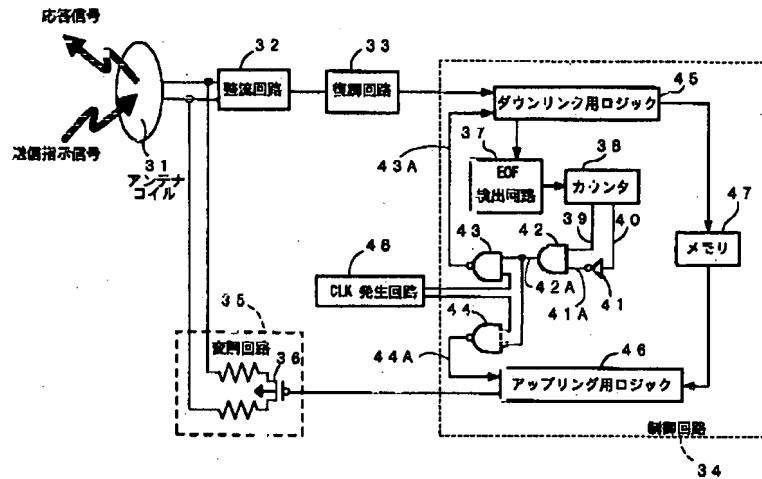
【図4】



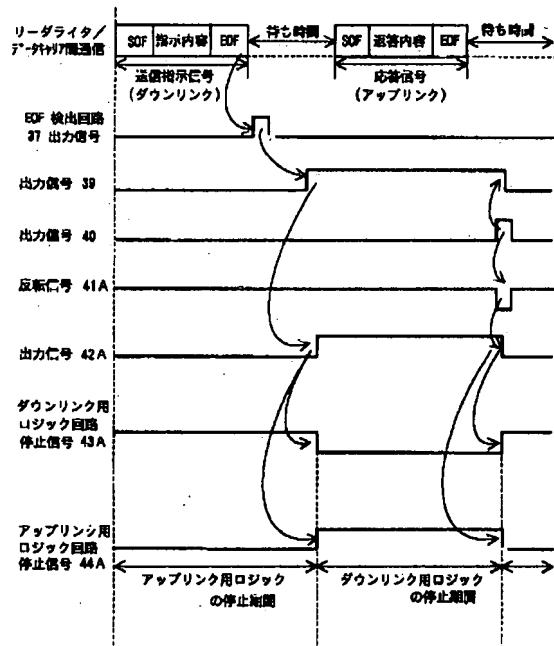
【図5】



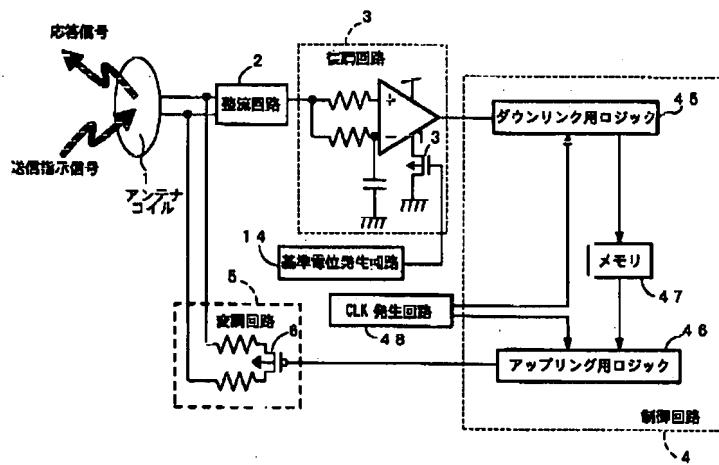
【図6】



【図7】



【図8】



フロントページの続き

F ターム(参考) 2C005 MA29 MB03 MB10 NA08 SA01
 SA21 SA25 SA30
 5B035 AA05 BB09 CA23
 5K011 DA02 DA15 DA26 DA29 EA05
 GA05 JA00 KA03
 5K012 AB05 AB12 AB18 AC06 AC09
 AC11 AE13 BA02